

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

1c978 U.S. PTO
10/042520
01/09/02

In re Patent Application of:)	I HEREBY CERTIFY THIS PAPER OR FEE IS BEING
CORONEL ET AL.)	DEPOSITED WITH THE U.S. POSTAL SERVICE
)	"EXPRESS MAIL POST OFFICE TO ADDRESSEE"
Serial No. Not Yet Assigned)	SERVICE UNDER 37 CFR 1.10 ON THE DATE
)	INDICATED BELOW AND IS ADDRESSED TO:
Filing Date: Herewith)	BOX PATENT APPLICATIONS, ASSISTANT
)	COMMISSIONER FOR PATENTS, WASHINGTON,
For: DRAM MEMORY INTEGRATION)	D.C. 20231.
METHOD)	
)	EXPRESS MAIL NO: <u>EL747059793US</u>
)	DATE OF DEPOSIT: <u>January 9, 2002</u>
)	NAME: <u>Dawn Kimler</u>
)	SIGNATURE: <u>Dawn Kimler</u>

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

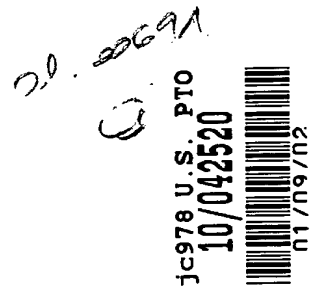
Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0100691.

Respectfully submitted,

Michael W. Taylor
MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 27 DEC. 2001

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 260899

REMISE DES PIÈCES DATE 18 JAN 2001 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0100691 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 18 JAN. 2001		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet BALLOT 7, rue Le Sueur 75116 PARIS	
V s références pour ce dossier (facultatif) 015963 VG			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/>	N° <input type="text"/> / <input type="text"/> / <input type="text"/>
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE D'INTEGRATION D'UNE MEMOIRE DRAM.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation <input type="text"/> N° <input type="text"/> Date <input type="text"/> / <input type="text"/> / <input type="text"/> Pays ou organisation <input type="text"/> N° <input type="text"/> Date <input type="text"/> / <input type="text"/> / <input type="text"/> Pays ou organisation <input type="text"/> N° <input type="text"/> Date <input type="text"/> / <input type="text"/> / <input type="text"/> <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suit »	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN		3 . 4 . 1 . 4 . 5 . 9 . 3 . 8 . 6	
Code APE-NAF		3 . 2 . 1 . B	
Adresse	Rue	7, avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		FRANCAISE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

V6



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMIS 18 JAN 2001 <small>Réservé à l'INPI</small> DATE LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0100691 NATIONAL ATTRIBUÉ PAR L'INPI		DB 540 W / 260899	
Vos références pour ce dossier : <i>(facultatif)</i>		015963 VG	
6 MANDATAIRE			
Nom		BALLOT	
Prénom		Paul	
Cabinet ou Société		CABINET BALLOT	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	7, rue Le Sueur	
	Code postal et ville	75116	PARIS
N° de téléphone <i>(facultatif)</i>		01 40 67 11 99	
N° de télécopie <i>(facultatif)</i>		01 45 01 98 28	
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence)</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 18 janvier 2001 BALLOT Paul - 92-1009		VISA DE LA PRÉFECTURE OU DE L'INPI G. BERNOUIS	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

PROCÉDE D'INTEGRATION D'UNE MEMOIRE DRAM

La présente invention se rapporte à un procédé d'intégration d'une mémoire de type DRAM, acronyme pour l'expression anglo-saxonne « Dynamic Random Access Memory ».

5 Chaque cellule mémoire DRAM composant la mémoire, définie par une ligne de bit et une ligne de mot, est composée d'une capacité de type semiconducteur/diélectrique/semiconducteur pour stocker l'information binaire et d'un transistor jouant le rôle
10 d'un interrupteur.

La présente invention concerne plus particulièrement les architectures de cellule DRAM de type « superposée », c'est à dire où la capacité est réalisée au-dessus du transistor, entre la ligne de mot
15 et la ligne de bit. Une telle architecture est représentée à la figure 1.

Le point mémoire ainsi représenté à la figure 1 est défini par une ligne de mot 1 et une ligne de bit 2. Il comprend un transistor d'accès 3 de type MOS avec ses implantations 4 de dopants type N^+ . Un plot de
20 contact 5 permet le contact entre le transistor et la capacité. La capacité est réalisée par litho-gravure en faisant une tranchée dans l'oxyde de silicium TEOS formant ainsi une couronne 6 pour la capacité. La
25 capacité est formée d'une électrode inférieure elec 1 et d'une électrode supérieure elec 2, les deux électrodes étant séparées par un diélectrique 7. Un autre plot de contact 8 permet de faire le contact entre la ligne de bit 2 et le transistor 3.

30 Afin d'augmenter la surface développée par la capacité sans augmenter la surface occupée, soit sans augmenter la taille de la couronne 6, l'électrode inférieure elec 1 est déposée sous forme de grains de

polysilicium hémisphérique, selon le procédé HSG, acronyme pour l'expression anglo-saxonne « Hemispherical Grain Polysilicom ». Ce procédé permet de doubler la surface et donc la capacité. En effet :

5 $C = \epsilon \cdot S / e$, avec e l'épaisseur du diélectrique, S la surface de la capacité et ϵ la constante diélectrique.

Cependant, dans une telle architecture, la taille de la capacité est limitée par des tolérances d'alignement qui sont nécessaires au passage du contact de la ligne de bit. En effet, tout contact est interdit entre la capacité et la ligne de bit.

Ainsi, lorsqu'on cherche à augmenter la densité d'intégration, c'est-à-dire que l'on cherche à réaliser davantage de cellules mémoire sur une même unité de surface, la réalisation du contact 8 de la ligne de bit devient problématique l'explication est donnée en référence à la figure 2.

En effet, il est nécessaire tout d'abord de graver une large ouverture 9 dans le plateau d'électrode supérieure elec 2 au milieu des capacités pour le passage du contact de la ligne de bit 8. Cette étape de photogravure de l'électrode supérieure met en oeuvre un masque spécifique appelé par la suite réticule elec 2 avec des contraintes d'alignement très strictes par rapport aux marques d'alignement du réticule elec 1 mis en oeuvre au niveau inférieur pour réaliser l'ouverture de la capacité.

Ainsi, une première règle d'alignement de l'électrode supérieure de la capacité elec 2 par rapport à l'électrode inférieure elec 1 doit être respectée. Les limites des techniques de photolithographie imposent de tenir de compte d'une distance minimum référencée a sur le schéma de la figure 2, de façon à ce que l'électrode elec 2 ne déborde jamais sur l'électrode elec 1.

Une étape préliminaire à l'étape de photogravure du contact consiste à effectuer un dépôt d'oxyde de silicium qui vient combler les cylindres des capacités ainsi que l'ouverture réalisée dans le plateau d'électrode supérieure elec 2. Cette étape a pour but de planariser la surface et d'éviter tout contact entre la capacité et la ligne de bit.

On vient alors réaliser la gravure du contact. Cette étape nécessite de mettre en oeuvre un masque contact spécifique appelé réticule contact. Le réticule contact doit lui aussi être parfaitement aligné de façon à pouvoir passer le contact parfaitement au milieu de l'ouverture 9 précédemment réalisée dans le plateau d'électrode elec 2. Cette condition est imposée par la nécessité de connecter le contact 8 avec un plot 5 du niveau d'interconnexion en tungstène qui permet le contact vers le transistor.

De plus, il faut absolument éviter que la partie métallique du contact 8 ait un contact électrique avec l'électrode supérieure elec 2 de la capacité.

Ainsi, une deuxième règle d'alignement du contact par rapport au plateau d'électrode elec 2 doit être respectée. Cette règle d'alignement impose de prendre en compte une distance minimum référencée b sur le schéma de la figure 2 pour sécuriser la gravure du contact 8 et s'assurer ainsi que le dimensionnel du réticule contact est inclus dans le dimensionnel du réticule elec 2 utilisé pour graver l'ouverture du plateau d'électrode elec 2.

Les règles d'alignement qu'il est nécessaire de respecter pour réaliser le contact 8 de la ligne de bit impose donc de prendre en compte des marges d'alignement, respectivement a et b, qui sont spécifiques aux limites des équipements de photolithographie utilisés.

Cette architecture limite donc la capacité d'intégration des cellules mémoire DRAM. En effet, toute réduction des dimensions de la cellule reste subordonnée au respect des marges d'alignement qui sont inhérentes aux outils de photolithographie utilisés. La
5 taille de la capacité se trouve ainsi limitée par les deux tolérances d'alignement nécessaires au passage du contact de la ligne de bit.

Donc, sauf à considérer des améliorations dans
10 les équipements qui permettent la mise en coïncidence des masques de gravure d'un niveau par rapport à un autre, il n'est pas possible de réduire toutes les dimensions dans la cellule mémoire et par conséquent, on perd en densité d'intégration.

Or, la course à l'intégration dans les procédés
15 DRAM est un enjeu majeur, notamment en ce qui concerne les mémoires DRAM embarquées. Ainsi, quelle que soit l'application, pour une capacité équivalente, il est important que la mémoire prenne la place la plus faible
20 possible sur la puce sur laquelle elle est embarquée, afin de pouvoir intégrer le maximum de fonctions logiques sur la puce.

Les inconvénients de l'architecture de l'art
antérieur exposés plus haut sont donc un frein au
25 développement des applications DRAM en ce sens qu'ils limitent la densité d'intégration des cellules mémoire.

Un autre inconvénient de l'architecture de l'art
antérieur concerne l'aspect robustesse du procédé de
mise en oeuvre. En effet, lorsque le dimensionnel du
30 réticule élec 2 n'est pas bon ou bien lorsqu'il est trop déplacé, une boucle de recyclage doit être mise en
oeuvre avant de commencer l'étape de gravure.
L'architecture de l'art antérieur entraîne donc
également des limitations en terme de productivité et
35 de temps de cycle.

Aussi, le but que se propose d'atteindre la présente invention est de proposer une architecture de mémoire DRAM qui permet d'améliorer la densité d'intégration en gardant la même capacité tout en palliant les inconvénients de l'art antérieur.

A cet effet, l'invention prévoit la suppression du réticule elec 2 dans la réalisation du passage du contact de la ligne de bit, permettant ainsi notamment d'éviter le passage à de nouvelles générations d'équipement de photolithographie. L'invention a donc également un intérêt en terme de réduction du coût.

L'architecture de cellule DRAM selon l'invention permet ainsi de s'affranchir de la marge d'alignement a qu'il est normalement nécessaire de respecter lors de l'étape de photogravure du plateau d'électrode supérieure elec 2.

Pour ce faire, l'ouverture de l'électrode supérieure elec 2 pour le passage du contact de la ligne de bit est auto-définie par rapport à l'électrode inférieure de la capacité elec 1. L'invention permet alors de réaliser un auto-alignement elec 2 sur elec 1 et ainsi de réaliser la gravure de l'ouverture dans le plateau d'électrode supérieure elec 2 sans avoir à faire de photo et donc en s'affranchissant des contraintes d'alignement inhérentes à la mise en place du réticule elec 2 par rapport au niveau inférieur.

De façon avantageuse, l'auto-alignement du retrait de la couche d'électrode supérieure elec 2 sur l'électrode inférieure elec 1 est obtenu par la formation d'une différence de topographie à l'endroit où l'ouverture du plateau d'électrode supérieure elec 2 doit être réalisée pour le passage du contact de la ligne de bit.

L'invention concerne donc un procédé d'intégration d'une mémoire DRAM, où chaque cellule

mémoire, définie par une ligne de bit et une ligne de mot, est composée d'une capacité de stockage et d'un transistor d'accès, lequel procédé est caractérisé en ce qu'il comprend les étapes suivantes consistant à :

- 5 a déposer une couche d'arrêt puis une couche d'oxyde de silicium ;
- b réaliser une photogravure de la couche d'oxyde de silicium de façon à définir des cylindres dans lesquels les capacités vont
10 être formées ;
- c déposer une première couche de polysilicium pour former l'électrode inférieure des capacités ;
- d réaliser un polissage mécano-chimique pour
15 retirer le polysilicium de ladite première couche entre les capacités ;
- e effectuer un retrait de la couche d'oxyde de silicium de façon à créer une différence de topographie entre chaque électrode inférieure
20 et la couche d'oxyde de silicium ;
- f déposer une couche de diélectrique ;
- g déposer une deuxième couche de polysilicium dopé de façon à former un plateau ininterrompu d'électrode supérieure, la
25 différence de topographie étant alors uniquement conservée dans une zone où il est nécessaire d'ouvrir ledit plateau d'électrode supérieure pour réaliser le passage du contact de la ligne de bit ;
- 30 h déposer une troisième couche de polysilicium non dopé ;
- i réaliser une implantation de dopants très fortement inclinée de la troisième couche de polysilicium non dopé de façon à n'implanter
35 que la partie haute de ladite couche située

dans la zone présentant la différence de topographie ;

j effectuer une gravure sélective pour retirer uniquement la partie de la couche de polysilicium non dopé située dans la partie basse de ladite zone ;

k réaliser une gravure pour retirer toute la partie restante de la troisième couche de polysilicium ainsi que la partie de la couche d'électrode supérieure située dans ladite partie basse, le retrait de la couche d'électrode supérieure étant alors auto-aligné sur l'électrode inférieure.

D'autres caractéristiques et avantages de l'invention apparaîtront plus clairement à la lecture de la description suivante d'un exemple particulier de la réalisation, en référence aux figures suivantes dans lesquelles :

- la figure 1 est un schéma illustrant l'architecture d'une cellule mémoire DRAM de type « superposée » selon l'art antérieur ;
- la figure 2 est un schéma illustrant les étapes à mettre en oeuvre pour réaliser le passage du contact de la ligne de bit dans l'architecture selon l'art antérieur ;
- les figures 3 à 9 sont des schémas illustrant les différentes étapes du procédé selon l'invention.

Les signes de référence des éléments en commun aux différentes figures sont identiques dans toute la demande.

Les applications numériques dans la description qui va suivre ne sont données qu'à titre d'exemple et ne doivent pas être comprises comme une limitation de la portée de l'invention.

Le procédé selon l'invention nécessite donc de mettre en oeuvre la suite d'opérations spécifiques suivante. On considère ici que les transistors d'accès, les tranchées d'isolation servant à isoler les zones actives entre elles ainsi que les niveaux d'interconnexion en tungstène ont déjà été réalisés.

Ainsi, en référence, à la figure 3 une première opération spécifique consiste à déposer une première couche de nitrure de silicium Si_3N_4 10, d'une épaisseur de 800 Å (Angström) par exemple, puis une couche d'oxyde de silicium TEOS sur une épaisseur de 1,2 µm (micromètre). Cette hauteur de la couche d'oxyde de silicium TEOS correspond à la hauteur du cylindre de la capacité puisque c'est dans cette couche TEOS que l'on va venir graver les cylindres qui définiront la capacité de la cellule.

La fine couche 10 Si_3N_4 sert de couche d'arrêt pour la gravure de la couche TEOS.

Ces deux couches sont déposées par la mise en oeuvre du procédé particulier PECVD, acronyme pour l'expression anglo-saxonne, « Plasma Enhanced Chemical Vapor Deposition ».

La figure 4 montre l'opération suivante de photogravure permettant de définir les cylindres 11 dans lesquels les capacités vont être formées. Cette opération utilise un masque appelé réticule elec 1. La gravure utilisée est une gravure sèche, c'est à dire une gravure utilisant un plasma pour attaquer la surface à graver de manière anisotrope.

L'opération suivante consiste alors à déposer une première couche de polysilicium pour former l'électrode inférieure elec 1 de la

capacité. Afin d'augmenter la surface développée par la capacité sans augmenter la surface occupée, l'électrode elec 1 est déposée sous forme de grains de polysilicium hémisphériques par le procédé HSG.

Pour retirer le polysilicium entre les différentes capacités, un polissage mécano-chimique est effectué. Pour éviter de détériorer les capacités, on dépose de la résine qui vient remplir les cylindres 11. Ensuite, le polissage de la résine et du polysilicium est effectué avant de nettoyer la résine restante. L'électrode inférieure elec 1 est alors définie et on obtient la structure montrée à la figure 5.

A ce stade, une étape originale du procédé selon la présente invention consiste à effectuer un retrait de la couche d'oxyde de silicium TEOS. Ce retrait est effectué par gravure chimique sur une hauteur de 4 000 Å et crée ainsi une différence de topographie entre chaque électrode inférieure elec 1 et la couche d'oxyde de silicium TEOS. La profondeur du retrait est définie par le temps de gravure, voir figure 6.

Une fois que ce retrait est effectué, une couche de diélectrique, non représentée à la figure 6, est déposée. Le diélectrique choisi est le nitrure de silicium pour sa forte permittivité. Ce dépôt est précédé d'une oxydation du polysilicium. Le diélectrique est donc formé d'un bicouche, une couche d'oxyde est une couche de nitrure.

L'opération suivante consiste à déposer une deuxième couche de polysilicium de façon à former l'électrode supérieure de la capacité elec 2. Ce dépôt, sur une épaisseur de 1 000 Å, est très

conforme et est réalisé en polysilicium dopé in situ N^+ . L'électrode supérieure elec 2 constitue un plateau ininterrompu d'électrode.

5 Or, de part la géométrie de la cellule et les distances inter-elec 1 D1 et D2, après le dépôt conforme de polysilicium pour définir l'électrode elec 2, la différence de topographie n'est conservée que dans une zone référencée A sur la figure 6, où il est nécessaire d'ouvrir le plateau d'électrode supérieure elec 2 pour
10 réaliser le passage du contact de la ligne de bit.

En effet, la couche de polysilicium elec 2 ayant une épaisseur de 1 000 Å, elle remplit
15 complètement les cylindres des capacités ainsi que l'espace inter-elec 1 de largeur D1, D1 étant de l'ordre de 2 000 Å. Quant à l'espace inter-elec 1 de largeur D2, D2 étant de l'ordre de 7 500 Å, il est beaucoup plus large que D1 et n'est donc
20 pas entièrement bouché par la couche de polysilicium elec 2. La différence de topographie réalisée par le retrait de l'oxyde de silicium TEOS est ainsi conservée uniquement dans la zone A, soit la zone qu'il est nécessaire d'ouvrir
25 pour passer le contact de la ligne de bit.

A ce stade, on souhaite donc ouvrir le plateau d'électrode supérieure elec 2 pour le passage du contact de la ligne de bit dans la zone A.

30 On cherche donc à retirer le polysilicium de la couche elec 2 uniquement dans la partie basse de la zone A et pas dans la partie haute.

La figure 7 illustre la suite d'opérations à mettre en oeuvre. Une troisième couche de
35 polysilicium non dopé poly3 est déposée sur une

épaisseur de 1 500 Å. Puis, une implantation ionique très fortement inclinée de la couche de polysilicium poly3 est réalisée de façon à n'implanter que la partie haute h de la couche de polysilicium poly3 située dans la zone A présentant la différence de topographie. On utilise des dopants de type BF2 par exemple pour l'implantation.

La profondeur et l'inclinaison de l'implantation peuvent être contrôlées.

Une gravure sélective de type gravure humide est alors effectuée. Elle permet un retrait sélectif de la partie de la couche de polysilicium poly3 non dopé par rapport à la partie de la couche de polysilicium poly3 qui a été implantée à l'étape précédente, voir figure 8.

Des solutions humides du type KOH ou NH₄OH peuvent être utilisées pour le retrait sélectif des zones non dopées. Seule la partie de la couche de polysilicium poly3 située dans la partie basse de la zone A est alors retirée.

Selon un mode de réalisation particulier de l'invention, l'étape d'implantation de la couche de polysilicium poly3 est précédée d'une étape supplémentaire. Cette étape est nécessaire quand le procédé selon l'invention est appliqué à la réalisation de mémoire DRAM embarquée. Cette étape a pour rôle d'empêcher l'implantation de la couche de polysilicium poly3 située dans les zones logiques de la puce.

Un masque de type MUV, acronyme pour l'expression anglo saxonne « Medium Ultra violet » est alors mis en oeuvre pour que la couche de polysilicium poly3 qui recouvre les

circuits logiques ne soit pas implantée. Ainsi, lors de l'étape suivante de retrait sélectif de la couche de polysilicium poly3 non dopé, la couche de poly3 recouvrant les zones logiques et qui n'a pas été implantée grâce au masque est retirée. La zone à protéger par le masque MUV étant grande, cette étape ne subit pas de contraintes d'alignement.

Enfin, une dernière étape consiste à réaliser une gravure ionique par plasma de type RIE, acronyme pour l'expression anglo-saxonne « Reactive Ion Etching ». Cette gravure peut être réalisée de façon isotropique ou anisotropique, de préférence on met en oeuvre une gravure isotropique.

En contrôlant parfaitement le temps de gravure, cette étape permet de retirer toute la couche poly3 restante ainsi que la partie de la couche d'électrode supérieure elec 2 située dans la partie basse de la zone A qui n'est donc plus recouverte par la couche poly3 suite à l'étape précédente de retrait sélectif. La structure illustrée à la figure 9 est alors obtenue.

Le retrait de la couche d'électrode supérieure elec 2 située dans la partie basse de la zone A, c'est-à-dire la zone où l'espace inter-elec 1 est le plus large et qui est destinée à accueillir le passage du contact de la ligne de bit, est auto-aligné avec l'électrode inférieure elec 1. En effet, la distance c du retrait de la couche d'électrode supérieure elec 2 à la couche de polysilicium définissant l'électrode elec 1 est donnée par l'épaisseur de la couche elec 2. Le retrait de la couche elec 2

est donc toujours situé à la même distance par rapport à l'électrode inférieure elec 1.

5 A ce stade, il reste à ouvrir le contact de la ligne bit. Soit on comble les cylindres des capacités en effectuant un dépôt d'oxyde de silicium directement, soit on réalise un espaceur nitrure dans la zone où le contact doit passer et on remplit ensuite avec un dépôt d'oxyde de silicium.

10 Un polissage mécano chimique de la couche d'oxyde de silicium est alors effectué. Cette étape a pour but de planariser la surface.

Il reste alors à réaliser la photogravure du contact.

15 Ainsi, le procédé selon l'invention permet d'obtenir un auto-alignement du retrait de la couche d'électrode supérieure elec 2 par rapport à l'électrode inférieure elec 1 par la formation d'une différence de topographie à l'endroit où la
20 couche elec 2 doit être ouverte pour le passage du contact. Il est alors possible par une implantation angulaire de faire un retrait sélectif entre les parties hautes et les parties basses.

25

R E V E N D I C A T I O N S

1. Procédé d'intégration d'une mémoire DRAM, où chaque cellule mémoire, définie par une ligne de bit (2) et une ligne de mot (1), est composée d'une capacité de stockage et d'un transistor d'accès, lequel
5 procédé est caractérisé en ce qu'il comprend les étapes suivantes consistant à :

- a déposer une couche d'arrêt (10) puis une couche d'oxyde de silicium (TEOS) ;
- 10 b réaliser une photogravure de la couche d'oxyde de silicium (TEOS) de façon à définir des cylindres (11) dans lesquels les capacités vont être formées ;
- c déposer une première couche de polysilicium pour former l'électrode inférieure (elec 1)
15 des capacités ;
- d réaliser un polissage mécano-chimique pour retirer le polysilicium de ladite première couche entre les capacités ;
- 20 e effectuer un retrait de la couche d'oxyde de silicium (TEOS) de façon à créer une différence de topographie entre chaque électrode inférieure (elec 1) et la couche d'oxyde de silicium (TEOS) ;
- f déposer une couche de diélectrique ;
- 25 g déposer une deuxième couche de polysilicium dopé de façon à former un plateau ininterrompu d'électrode supérieure (elec 2), la différence de topographie étant alors uniquement conservée dans une zone (A) où il
30 est nécessaire d'ouvrir ledit plateau d'électrode supérieure (elec 2) pour réaliser le passage du contact de la ligne de bit ;

- h déposer une troisième couche de polysilicium non dopé (poly3) ;
- i réaliser une implantation de dopants très fortement inclinée de la couche de polysilicium non dopé (poly3) de façon à n'implanter que la partie haute (h) de ladite couche située dans la zone (A) présentant la différence de topographie ;
- j effectuer une gravure sélective pour retirer uniquement la partie de la couche de polysilicium non dopé (poly3) située dans la partie basse de ladite zone (A) ;
- k réaliser une gravure pour retirer toute la partie restante de la troisième couche de polysilicium (poly3) ainsi que la partie de la couche d'électrode supérieure (elec 2) située dans ladite partie basse, le retrait de la couche d'électrode supérieure (elec 2) étant alors auto-aligné sur l'électrode inférieure (elec 1).

2. Procédé selon la revendication 1 caractérisé en ce que l'étape i est précédée d'une étape supplémentaire dans le cas d'une mémoire DRAM embarquée consistant à mettre en oeuvre un masque pour que la partie de la couche de polysilicium non dopé (poly3) recouvrant des circuits logiques ne soit pas implantée.

3. Procédé selon la revendication 1 ou 2 caractérisé en ce que l'électrode inférieure (elec 1) est déposée sous forme de grains de polysilicium hémisphériques.

4. Procédé selon la revendication 1 ou 2 caractérisé en ce que l'étape e est réalisée par gravure chimique, la profondeur du retrait étant déterminée par le temps de gravure.

5. Procédé selon la revendication 1 ou 2 caractérisé en ce que le diélectrique déposé à l'étape f est formé d'un bicouche : une couche d'oxyde et une couche de nitrure.

5 6. Procédé selon la revendication 1 ou 2 caractérisé en ce que l'implantation réalisée à l'étape i est effectuée avec des dopants de type BF_2 .

7. Procédé selon la revendication 1 ou 2 caractérisé en ce que des solutions humides du type KOH ou NH_4OH sont utilisées pour réaliser le retrait sélectif de l'étape j.

8. Procédé selon la revendication 1 ou 2 caractérisé en ce que la gravure réalisée à l'étape k est une gravure ionique par plasma.

15 9. Procédé selon la revendication 8, caractérisé en ce que ladite gravure est réalisée de façon isotropique.

10 10. Procédé selon la revendication 8, caractérisé en ce que ladite gravure est réalisée de façon anisotropique.

1/5

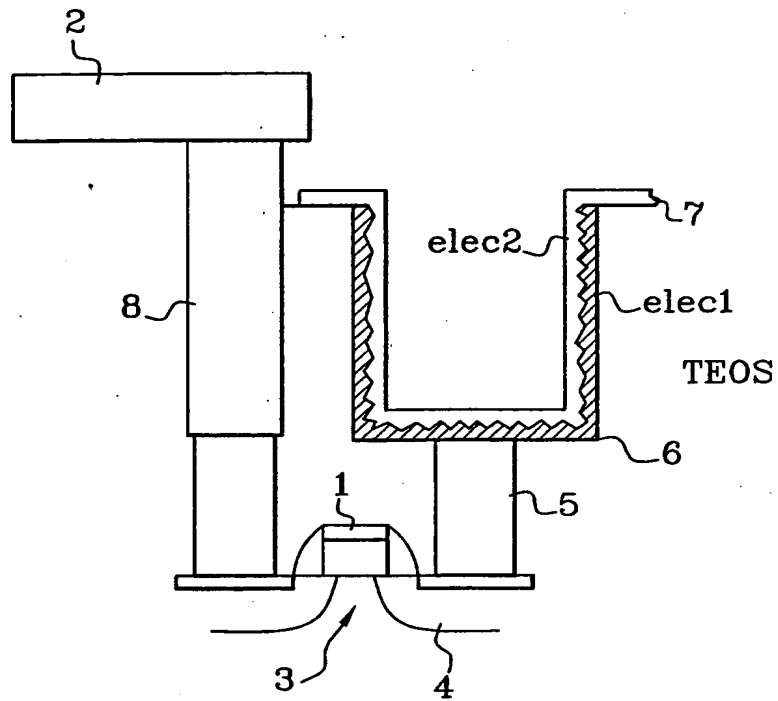


Fig. 1
(ART ANTERIEUR)

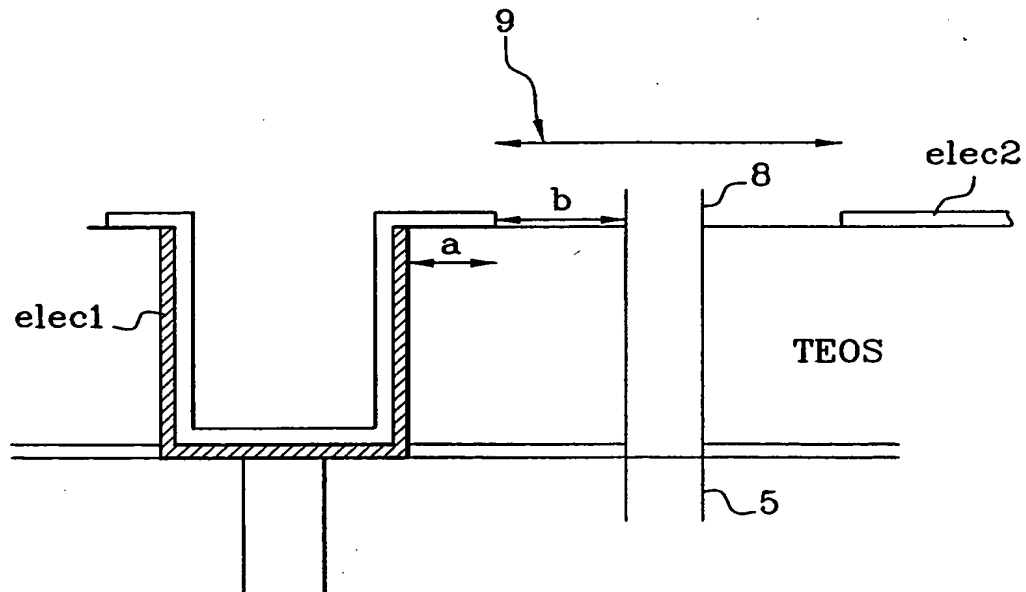


Fig. 2
(ART ANTERIEUR)

2/5

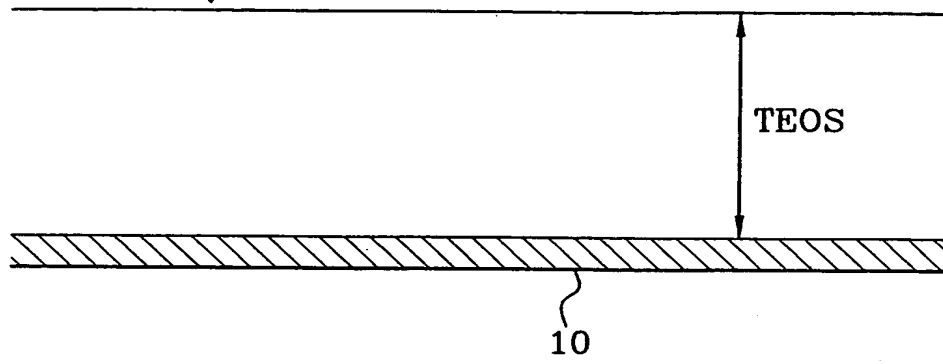


Fig. 3

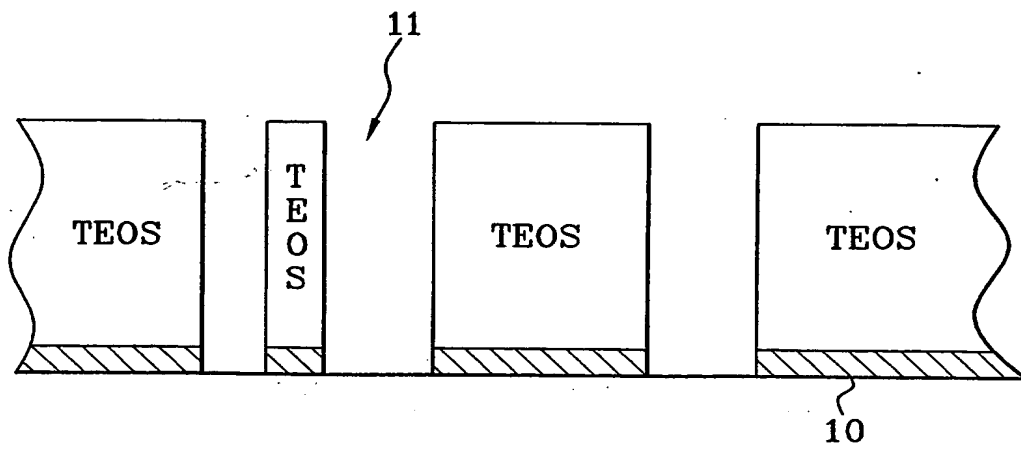


Fig. 4

3/5

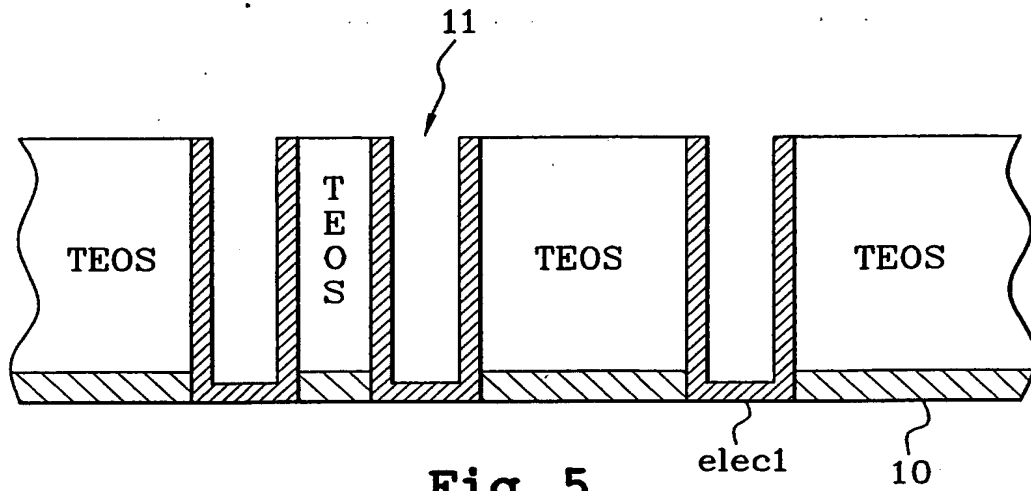


Fig. 5

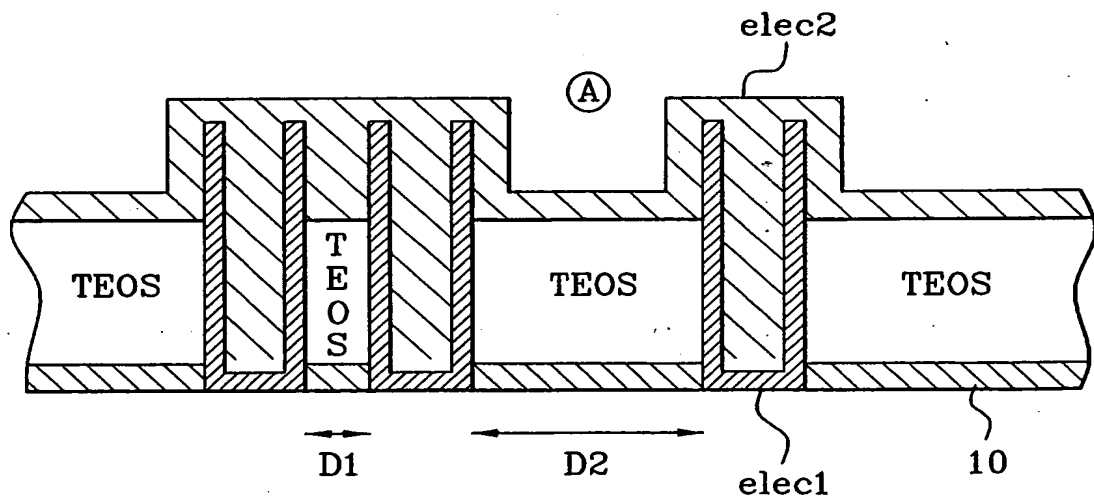


Fig. 6

4/5

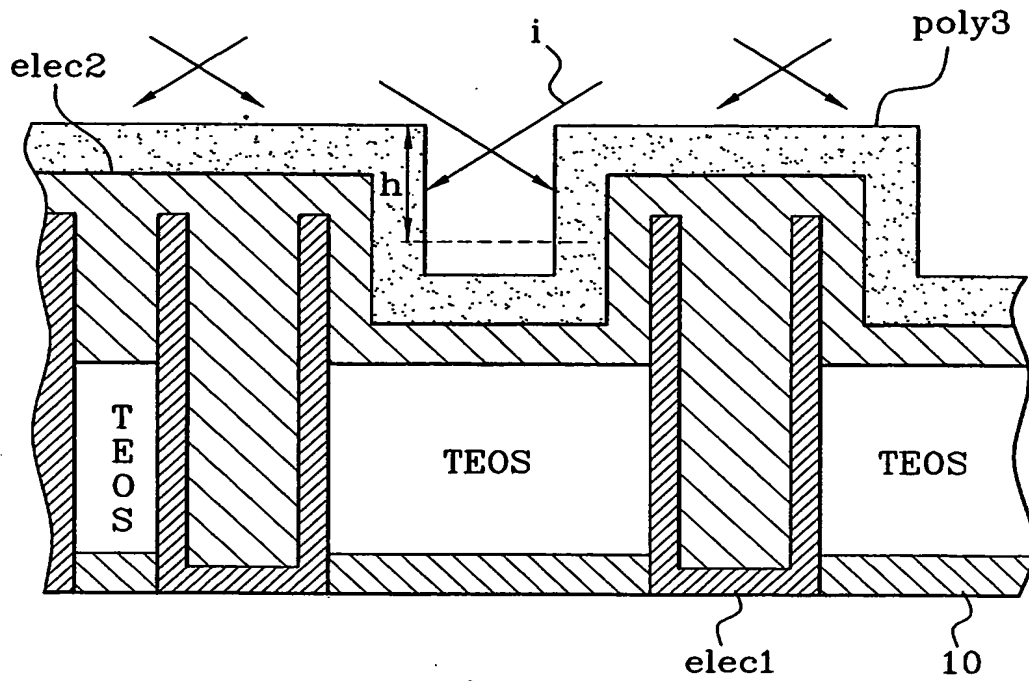


Fig. 7

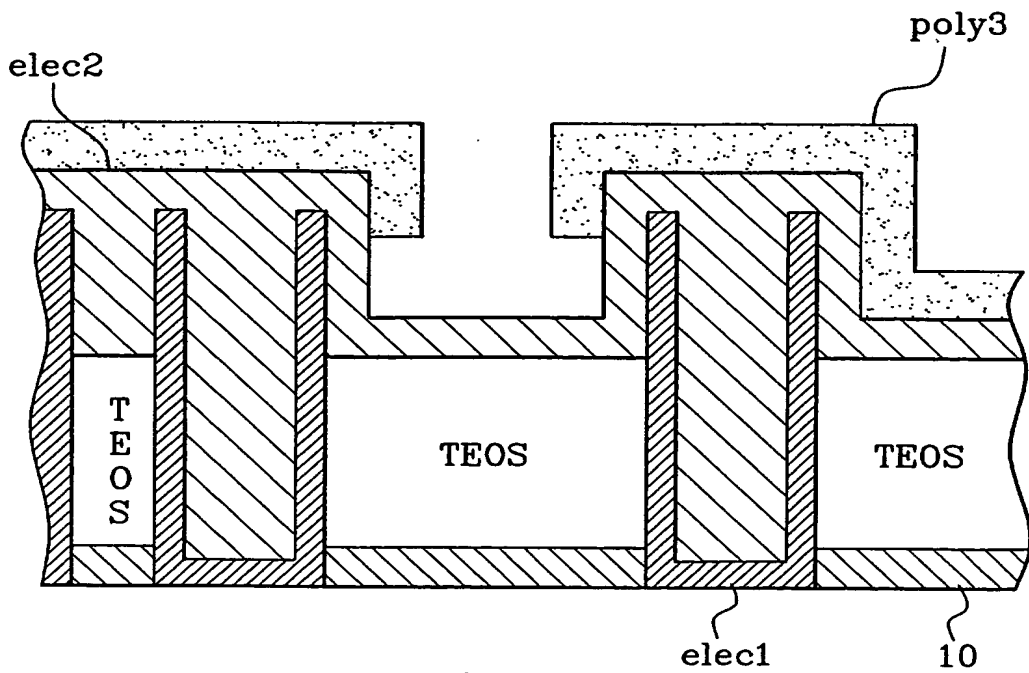


Fig. 8

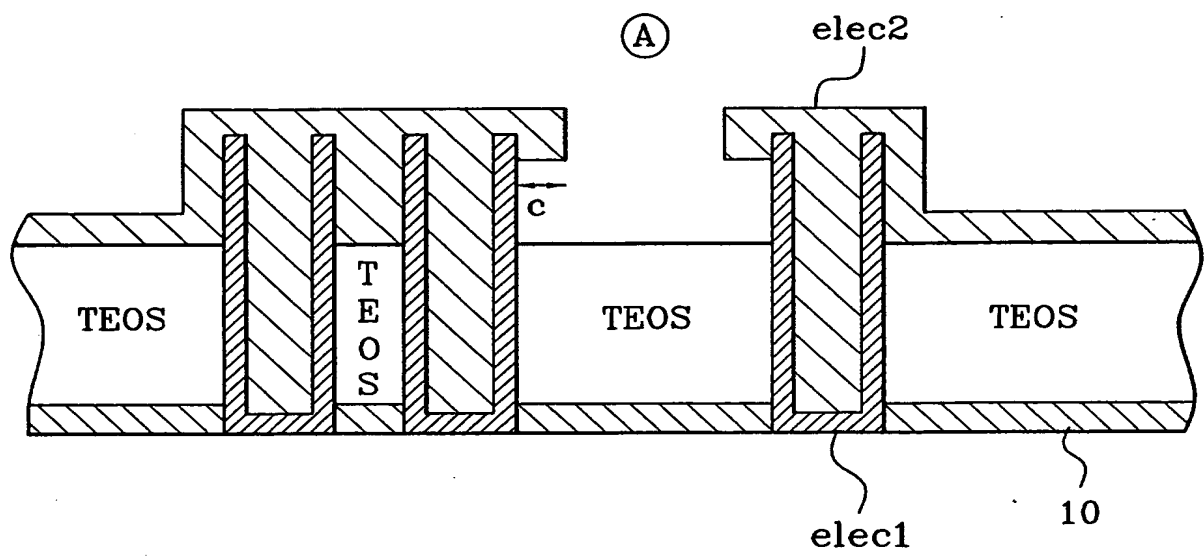


Fig. 9

THIS PAGE BLANK (USPTO)

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

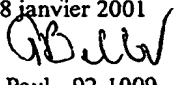
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

Vos références pour ce dossier (facultatif)		015963 VG/SH	
N° D'ENREGISTREMENT NATIONAL		01 50 651	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDE D'INTEGRATION D'UNE MEMOIRE DRAM.			
LE(S) DEMANDEUR(S) : STMICROELECTRONICS SA 7, avenue Galliéni 94250 GENTILLY FRANCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		CORONEL	
Prénoms		Philippe	
Adresse	Rue	C/O Cabinet BALLOT 7, rue Le Sueur	
	Code postal et ville	75116	PARIS
Société d'appartenance (facultatif)			
Nom		PIAZZA	
Prénoms		Marc	
Adresse	Rue	C/O Cabinet BALLOT 7, rue le Sueur	
	Code postal et ville	75116	PARIS
Société d'appartenance (facultatif)			
Nom		LEVERD	
Prénoms		François	
Adresse	Rue	C/O Cabinet BALLOT 7, rue le Sueur	
	Code postal et ville	75116	PARIS
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 18 janvier 2001  BALLOT Paul - 92-1009			

THIS PAGE BLANK (USPTO)